

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02944262 \*\*Image available\*\*

MANUFACTURE OF DISPLAY DEVICE

PUB. NO.: 01-241862 [JP 1241862 A]

PUBLISHED: September 26, 1989 (19890926)

INVENTOR(s): SAMEJIMA TOSHIYUKI

TOMITA TAKASHI

USUI SETSUO

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 63-070243 [JP 8870243]

FILED: March 24, 1988 (19880324)

INTL CLASS: [4] H01L-027/12; G02F-001/133; H01L-021/20; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 864, Vol. 13, No. 578, Pg. 33, December 20, 1989 (19891220)

**ABSTRACT**

PURPOSE: To manufacture a thin film transistor having high performance by using an inexpensive glass substrate of a resin substrate by crystallizing an amorphous silicon film by irradiating it with a pulse laser, and forming source, drain regions by impurity doping by laser radiation.

CONSTITUTION: An a-Si:H film 3 is crystallized by irradiating it with a pulse laser beam 5 to form a polycrystalline Si film 6 at an ambient temperature. The film 6 is patterned to form an insular pattern, and an aluminum film 8 is formed on a film 7. The films 8, 7 are patterned, and a gate bus line 9 and a gate electrode 10 are formed. With the film 7 as a mask the film 4 is etched to expose the film 6. After a phosphorus P film 11 is, for example, formed on a whole surface, the surface is radiated with the beam 5 by a XeCl excimer laser. The P is doped in a self-aligning manner to the electrode 10 in the film 6, and an n<sup>(sup +)</sup> type source region 12 and an n<sup>(sup +)</sup> type pixel electrode 13 used also as a drain region are, for example, formed in a self-aligning manner.

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

008062130    \*\*Image available\*\*

WPI Acc No: 1989-327242/198945

**Active-matrix liq.-crystal display panel mfr. - by recrystallising  
amorphous silicon film on transparent substrate by irradiating pulsed  
laser beam etc. NoAbstract Dwg 1/5**

Patent Assignee: SONY CORP (SONY )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1241862	A	19890926	JP 8870243	A	19880324	198945 B

Priority Applications (No Type Date): JP 8870243 A 19880324

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 1241862	A	4		
------------	---	---	--	--

Title Terms: ACTIVE; MATRIX; LIQUID; CRYSTAL; DISPLAY; PANEL; MANUFACTURE;  
RECRYSTALLISATION; AMORPHOUS; SILICON; FILM; TRANSPARENT;  
SUBSTRATE;

IRRADIATE; PULSE; LASER; BEAM; NOABSTRACT

Index Terms/Additional Words: LCD

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Additional): G02F-001/13; H01L-021/20;

H01L-027/12; H01L-029/78

File Segment: CPI; EPI; EngPI

## ⑯ 公開特許公報 (A)

平1-241862

⑩Int CL<sup>4</sup>  
 H 01 L 27/12  
 G 02 F 1/133  
 H 01 L 21/20  
 29/78

識別記号 327 311 廃内整理番号 A-7514-5F  
 7370-2H  
 7739-5F  
 Y-7925-5F 審査請求 未請求 請求項の数 1 (全8頁)

⑪公開 平成1年(1989)9月26日

## ⑫発明の名称 表示装置の製造方法

⑬特 願 昭63-70243

⑭出 願 昭63(1988)3月24日

⑮発明者	鮫島俊之	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑮発明者	富田尚	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑮発明者	碓井節夫	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑯出願人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑰代理人	弁理士 杉浦正知		

## 明細書

## 1. 発明の名称

表示装置の製造方法

## 2. 特許請求の範囲

薄膜トランジスタにより給電電極をオン／オフするようにしたアクティブ・マトリクス方式の表示装置の製造方法において、

透明基板上にアモルファスのシリコン膜を形成する工程と、

上記アモルファスのシリコン膜に第1のパルスレーザービームを照射して加熱することにより結晶化する工程と、

上記結晶化されたシリコン膜上にゲート絶縁膜及びゲート電極を形成する工程と、

上記結晶化されたシリコン膜上に不純物を堆積後または不純物を含むガス中で上記結晶化されたシリコン膜に第2のパルスレーザービームを照射して上記結晶化されたシリコン膜中に上記不純物を拡散させることにより上記漏膜トランジスタのソース領域及びドレイン領域を形成する工程とを

有することを特徴とする表示装置の製造方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、表示装置の製造方法に関し、例えばアクティブ・マトリクス方式の液晶ディスプレイの製造に適用して好適なものである。

## 〔発明の概要〕

本発明は、薄膜トランジスタにより給電電極をオン／オフするようにしたアクティブ・マトリクス方式の表示装置の製造方法において、透明基板上にアモルファスのシリコン膜を形成する工程と、上記アモルファスのシリコン膜に第1のパルスレーザービームを照射して加熱することにより結晶化する工程と、上記結晶化されたシリコン膜上にゲート絶縁膜及びゲート電極を形成する工程と、上記結晶化されたシリコン膜上に不純物を堆積後または不純物を含むガス中で上記結晶化されたシリコン膜に第2のパルスレーザービームを照射して上記結晶化されたシリコン膜中に上記不純物を

拡散させることにより上記薄膜トランジスタのソース領域及びドレイン領域を形成する工程とを有する。これによって、安価なガラス基板や樹脂基板を用いて高性能の薄膜トランジスタを製造することができ、しかもこの薄膜トランジスタのソース領域及びドレイン領域をゲート電極に対して自己整合的に形成することができる。また、表示装置の製造工程を簡略化することができる。

## 〔従来の技術〕

従来、各要素に形成された薄膜トランジスタにより陰極電極をオン／オフして表示を行うアクティブ・マトリクス方式の液晶ディスプレイが知られている。第5図A及び第5図Bは従来のアクティブ・マトリクス方式の液晶ディスプレイの一例を示す。第5図A及び第5図Bに示すように、この液晶ディスプレイにおいては、透明なガラス基板101上にITO(Indium Tin Oxide)から成る陰極電極102、この陰極電極102をオン／オフするための薄膜トランジスタT、ゲート・バ

3

## 〔発明が解決しようとする課題〕

上述の従来のアクティブ・マトリクス方式の液晶ディスプレイにおける薄膜トランジスタTはa-Si:H膜107を用いて形成されている。このa-Si:H膜107は、プラズマCVD法を用いることにより耐熱性のないガラス基板101上に形成することができる。しかし、このa-Si:H膜107中のキャリア(電子)の移動度は十分に高いとは言えない。また、この薄膜トランジスタTのソース領域108及びドレイン領域109はゲート電極105に対して自己整合的に形成することができないため、これらのソース領域108及びドレイン領域109とゲート電極105との合わせ精度が悪い。さらに、陰極電極102の形成からソース・バス・ライン104及び配線110の形成まで非常に多くのリソグラフィー工程が必要であり、製造工程が複雑である。

従って本発明の目的は、安価なガラス基板や樹脂基板を用いてキャリアの移動度の高い高性能の

ソース・ライン103及びソース・バス・ライン104が形成されている。上記薄膜トランジスタTは、上記ゲート・バス・ライン103と一体的に形成されているゲート電極105、SiO<sub>2</sub>膜(またはSiN膜)のようなゲート絕縁膜106、真性(I型)の水素化アモルファスシリコン(a-Si:H)膜107、n+型のa-Si:H膜から成るソース領域108及びドレイン領域109により構成されている。この場合、ソース領域108は上記ソース・バス・ライン104と接続され、ドレイン領域109はアルミニウム(AI)のような金属の配線110により上記陰極電極102と接続されている。なお、第5図Aにおいては、上記ゲート絶縁膜106、a-Si:H膜107、ソース領域108及びドレイン領域109の図示は省略されている。

なお、本発明に関する先行技術文献として、酸素(O)または窒素(N)原子を含む半導体層により陰極電極が形成された液晶表示素子に関する特開昭61-249080号公報が挙げられる。

4

薄膜トランジスタを製造することができる表示装置の製造方法を提供することにある。

本発明の他の目的は、薄膜トランジスタのソース領域及びドレイン領域をゲート電極に対して自己整合的に形成することができる表示装置の製造方法を提供することにある。

本発明の他の目的は、製造工程を簡略化することができる表示装置の製造方法を提供することにある。

## 〔課題を解決するための手段〕

本発明は、薄膜トランジスタ(T)により陰極電極(13)をオン／オフするようにしたアクティブ・マトリクス方式の表示装置の製造方法において、透明基板(1)上にアモルファスのシリコン膜(3)を形成する工程と、アモルファスのシリコン膜(3)に第1のパルスレーザービーム(5)を照射して加熱することにより結晶化する工程と、結晶化されたシリコン膜(6)上にゲート絶縁膜(4、7)及びゲート電極(10)を形

5

6

成する工程と、結晶化されたシリコン膜(6)上に不純物を堆積後または不純物を含むガス中で結晶化されたシリコン膜(6)に第2のパルスレーザービーム(5)を照射して結晶化されたシリコン膜(6)中に不純物を拡散させることにより薄膜トランジスタ(T)のソース領域(12)及びドレイン領域(13)を形成する工程とを有する表示装置の製造方法である。

## 〔作用〕

上記した手段によれば、結晶化されたシリコン膜により薄膜トランジスタを形成することができるので、キャリアの移動度を高くすることができる。しかも、アモルファスのシリコン膜の形成及びその結晶化、ソース領域及びドレイン領域を形成するための不純物ドーピング等はいずれも室温～300℃程度の低温で行うことができる。従って、安価なガラス基板や樹脂基板を用いて高性能の薄膜トランジスタを製造することができる。また、パルスレーザービームの照射により、ゲート

電極に対して自己整合的にシリコン膜中に不純物ドーピングが行われるので、薄膜トランジスタのソース領域及びドレイン領域をゲート電極に対して自己整合的に形成することができる。さらに、これらのソース領域及びドレイン領域を形成するために従来のようにリソグラフィー工程を必要としないので、少なくともこの分だけリソグラフィー工程の数が少くなり、従って製造工程を簡略化することができる。

## 〔実施例〕

以下、本発明の一実施例について図面を参照しながら説明する。この実施例は本発明をアクティブ・マトリクス方式の液晶ディスプレイの製造に適用した実施例である。

第1図A～第1図Dは本発明の一実施例によるアクティブ・マトリクス方式の液晶ディスプレイの製造方法を工藝順に示し、第2図はその完成状態を示す。なお、第1図A～第1図Dは第2図のY-Y線に沿っての断面図である。

本実施例においては、第1図Aに示すように、まずあらかじめ洗浄された透明なガラス基板1上に例えばプラズマCVD法により例えば室温～300℃程度の基板温度で例えば膜厚300Å程度のSiN膜2、例えば膜厚300～1000Å程度のi型のa-Si:H膜3及び例えば膜厚1000Å程度のSiN膜4を順次形成する。上記SiN膜2によってガラス基板1からの汚染を防止することができる。

次に、例えば室温でパルスレーザービーム5を全面に照射する。このパルスレーザービーム5としては例えばXeClエキシマーレーザーによるパルスレーザービーム(波長308nm)を用いることができ、そのパルス幅は例えば30ns、照射エネルギー密度は例えば200～300mJ/cm<sup>2</sup>である。このパルスレーザービーム5の照射により上記a-Si:H膜3が瞬時に加熱され、結晶化される。これによって、第1図Bに示すように、多結晶のSi膜6を室温で形成することができる。次に、上記SiN膜4及びこの結晶化されたSi膜6

をエッティングによりパターンニングして、後述の薄膜トランジスタT形成用のSi膜と絶縁電極13形成用のSi膜とが一体化された島状パターンを形成する。次に、例えばプラズマCVD法により全面に例えば膜厚1000～2000ÅのSiO<sub>2</sub>膜7を形成した後、さらにこのSiO<sub>2</sub>膜7上に例えばスパッタ法や蒸着法により例えば膜厚1000～2000ÅのAl膜8を形成する。

次に、これらのAl膜8及びSiO<sub>2</sub>膜7をエッティングにより所定形状にパターンニングして、第1図C及び第2図に示すように、ゲート・バス・ライン9及びゲート電極10を形成する。次に、このパターンニングされたSiO<sub>2</sub>膜7をマスクとして上記SiN膜4をエッティングすることにより上記Si膜6を露出させる。なお、このパターンニング後のSiN膜4及び上記SiO<sub>2</sub>膜7によりゲート絶縁膜が構成される。次に、例えばプラズマCVD法により全面に例えば膜厚100Åのリン(P)膜11を形成した後、例えばXeClエキシマーレーザーによるパルスレーザービーム5を全面に照射

する。このパルスレーザービーム5のパルス幅は例えば20nsであり、照射エネルギー密度は例えば200~300mJ/cm<sup>2</sup>である。このパルスレーザービーム5の照射により上記Si膜6が瞬間に加熱され、その結果上記P膜11が直接接している上記Si膜6中にPが上記ゲート電極10に対して自己整合的にドーピングされる。これによって、例えばn+型のソース領域12とドレイン領域を適用する例えばn+型の給素電極13とを上記ゲート電極10に対して自己整合的に形成することができる。これらのソース領域12及びドレイン領域を適用する給素電極13の抵抗率ρは10<sup>-2</sup>~10<sup>-4</sup>Ω·cmと低くすることができる。また、後述のように波長300~800nmの可視光に対するこの給素電極13の透過特性は良好である。この後、上記P膜11をエッチング除去する。なお、上述のような不純物ドーピング法は、LIMPID (Laser Induced Melting of Predeposited Impurity Doping) 法と呼ばれているものである。

11

ドレイン領域とによりロチャネルの薄膜トランジスタTが構成されている。

第3図は形成直後(as-deposited)のa-Si:H膜(膜厚550Å)及びこのa-Si:H膜をパルスレーザービームの照射により結晶化した後の透過スペクトルを示し、第4図はこの第3図に示す透過スペクトルから計算により求めた吸収係数の波長依存性を示す。

第3図からわかるように、形成直後のa-Si:H膜は、青色の光は透過しにくく、緑色及び赤色の光は透過しやすいため、膜の色は茶色に見える。これに対して、このa-Si:H膜をパルスレーザービームの照射により結晶化した後には、第4図からわかるように特に青~緑の光に対する吸収係数が減少し、このため第3図からわかるように結晶化後のSi膜は青色の光に対しても透過率は高くなり、従って赤、緑、青の三原色の光に対して35~45%の高い透過率が得られている。この結果、可視域で色合いの優れた白色透明のSi膜6を得ることができる。上述の35~45%という透

次に第1図Dに示すように、全面に例えれば膜厚0.15~1μmの感光性のポリイミドのような層間絶縁膜14を形成した後、この層間絶縁膜14の所定部分を除去してコンタクトホール14aを形成する。次に、全面に例えればAl膜を形成した後、このAl膜をエッチングにより所定形状にパターンニングしてソース・バス・ライン15を形成する。このソース・バス・ライン15は上記コンタクトホール14aを通じて上記ソース領域12に接続されている。次に、全面に液晶配向膜(図示せず)を形成した後、SiN膜4とSi膜6との界面の特性改善やSiO<sub>2</sub>膜7及び層間絶縁膜14の耐圧改善等のために必要に応じて例えば300~400℃の温度でアニールを行う。この後、液晶の封入工程等を経て、目的とする液晶ディスプレイが完成される。

このようにして製造される液晶ディスプレイにおいては、上記ゲート電極10と、上記SiN膜4及びSiO<sub>2</sub>膜7から成るゲート絶縁膜と、上記ソース領域12と、給素電極13により兼用される

12

過率の値はITOのそれ(第3図参照)に比べると低いが、実用上十分な値である。なお、結晶化されたSi膜6上に例えればSiN膜のような無反射膜を形成して反射を抑えれば、この透過率は例えば80%程度に向上させることが可能である。

本実施例によれば次のような種々の利点がある。すなわち、パルスレーザービーム5の照射により、a-Si:H膜3の結晶化を室温で行うことができる。また、ソース領域12及びドレイン領域を適用する給素電極13を形成するための不純物ドーピングも同様にパルスレーザービーム5の照射により室温で行うことができる。従って、本実施例によれば、耐熱性はないが安価なガラス基板1を用いてキャリア(電子)の移動度が高い高性能の薄膜トランジスタTを室温~300℃の低温プロセスで製造することができる。この薄膜トランジスタTにより、高速でしかもより大きな電流のスイッチングを行うことができる。また、薄膜トランジスタT形成用のSi膜と給素電極13とを一回のリソグラフィーにより形成することができるば

13

14

かりでなく、ソース領域12及び給電電極13により適用されるドレイン領域を形成するためにリソグラフィー工程を必要としないので、既述の従来の液晶ディスプレイに比べてリソグラフィー工程の数が少なくなり、従ってこの分だけ製造工程を簡略化することができる。さらに、ゲート電極10に対して自己整合的にSi膜6中に不純物がドーピングされるので、ソース領域12及びドレイン領域を適用する給電電極13をゲート電極10に対して自己整合的に形成することができる。

さらにまた、薄膜トランジスタ用のSi膜と給電電極13とは共通の薄いSi膜6により形成されているため、表面は全体として平坦であり、従ってゲート・バス・ライン9やソース・バス・ライン15の断線を防止することができる。

以上、本発明の実施例につき具体的に説明したが、本発明は、上述の実施例に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

例えば、 $a-Si:H$ 膜3の代わりに $a-Si_xC_{1-x}H$

15

必要はなく、スパック法や蒸着法により形成することも可能である。さらにまた、ソース領域12及びドレイン領域を適用する給電電極13を形成するための不純物ドーピング法としては、ドーピングしたい不純物を含むガス（例えばn型不純物の場合は $P\ H_2$ 、p型不純物の場合は $B\ H_2$ ）中でパルスレーザービームを照射することにより不純物ドーピングを行う方法であるGILD（Gas Immersion Laser Doping）法を用いてもよい。

また、パルスレーザービーム5としては、例えば $Y\alpha\ F$ エキシマーレーザーによるパルスレーザービーム（波長351nm）を用いることも可能である。さらに、ガラス基板1の代わりに例えばポリメタクリル酸メチル（PMMA）やポリカーボネット等の透明樹脂材料の基板を用いることも可能である。

また、上述の実施例においては、本発明を液晶ディスプレイの製造に適用した場合について説明したが、本発明は、液晶ディスプレイ以外のアクティブ・マトリクス方式の表示装置の製造に適用

$a-Si_xN_{1-x}H$ 膜、 $a-Si_xO_{1-x}H$ 膜等を用いることができる。これらの $a-Si_xC_{1-x}H$ 膜、 $a-Si_xN_{1-x}H$ 膜及び $a-Si_xO_{1-x}H$ 膜は $a-Si:H$ 膜3に比べて吸収端がより短波長側にあるため、可視域で透過率をより高くすることができる。なお、これらのC、N、Oの濃度は例えば $10^{11}\text{cm}^{-3}$ 程度とすることができる、これによって可視域で吸収係数を $10^3\text{cm}^{-1}$ 以下にすることができる。また、これらの $a-Si_xC_{1-x}H$ 膜、 $a-Si_xN_{1-x}H$ 膜及び $a-Si_xO_{1-x}H$ 膜は、プラズマCVD法による成長時の反応ガスとして $SiH_4$ の他にそれぞれ例えば $C_2H_2$ 、 $CH_4$ 、 $NH_3$ 及び $NO_2$ を用いることにより形成することができる。さらに、透過率を高くする必要があるのは給電電極13の部分であるので、例えば $a-Si:H$ 膜3を形成した後にこれに既述のLIMPID法によりC、NまたはOを添加してもよい。また、この $a-Si:H$ 膜3は必ずしもプラズマCVD法により形成する

16

することができる。例えば、上述の実施例における給電電極13上の層間絶縁膜14を除去し、表示用物質として液晶の代わりに例えばエレクトロクロミック（EC）材料を用いれば、アクティブ・マトリクス方式のエレクトロクロミックディスプレイを製造することができる。なお、液晶の代わりに光センサー材料を用いれば、二次元センサーを製造することもできる。

#### 〔発明の効果〕

以上説明したように、本発明によれば、アモルファスのシリコン膜にパルスレーザービームを照射して加熱することにより結晶化するとともに、ソース領域及びドレイン領域をパルスレーザービームの照射による不純物ドーピングにより形成しているので、安価なガラス基板や樹脂基板を用いて高性能の薄膜トランジスタを製造することができる。また、ゲート電極に対して自己整合的にシリコン膜中に不純物がドーピングされるので、薄膜トランジスタのソース領域及びドレイン領域を

17

18

ゲート電極に対して自己整合的に形成することができる。さらに、ソース領域及びドレイン領域を形成するためにリソグラフィー工程を必要としないので、少なくともこの分だけリソグラフィー工程の段が少なくなり、これによって製造工程を簡略化することができる。

#### 4. 図面の簡単な説明

第1図A～第1図Dは本発明の一実施例によるアクティブ・マトリクス方式の液晶ディスプレイの製造方法を工程順に説明するための断面図、第2図は第1図A～第1図Dに示す方法により製造された液晶ディスプレイの完成状態を示す斜視図、第3図は形成直後のa-Si:H膜及びこのa-Si:H膜をパルスレーザービームの照射により結晶化した後の透過スペクトルを示すグラフ、第4図は第3図に示す透過スペクトルから計算により求めた吸収係数の波長依存性を示すグラフ、第5図Aは従来のアクティブ・マトリクス方式の液晶ディスプレイの一例を示す斜視図、第5図Bは第5図AのX-X断面図である。

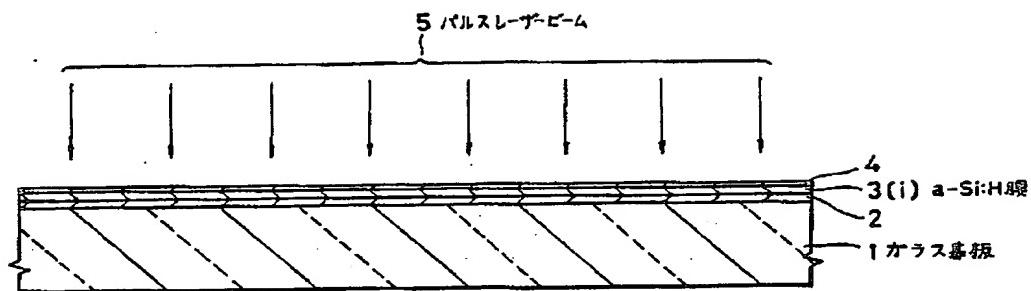
#### 図面における主要な符号の説明

1：ガラス基板（透明基板）、3：a-Si:H膜、6：結晶化されたSi膜、9：ゲート・バス・ライン、10：ゲート電極、15：ソース・バス・ライン、T：薄膜トランジスタ。

代理人　弁理士 杉浦正知

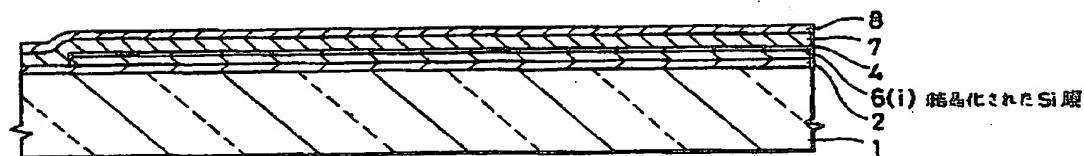
20

19



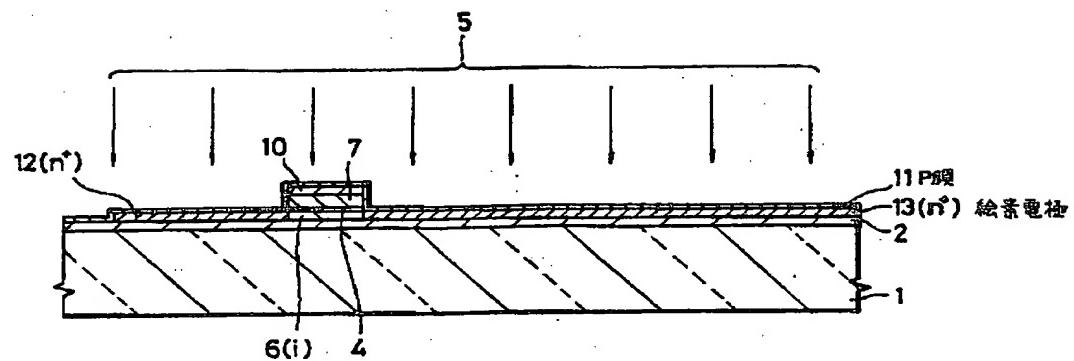
一実施例

第1図A

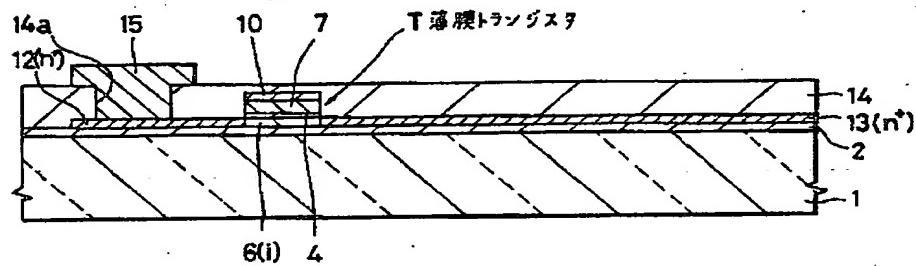


一実施例

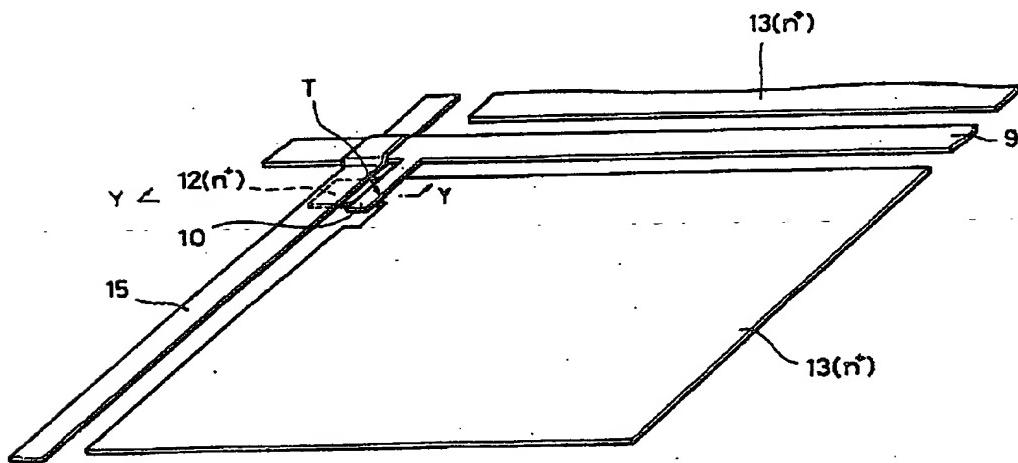
第1図B



—実施例  
第1図C

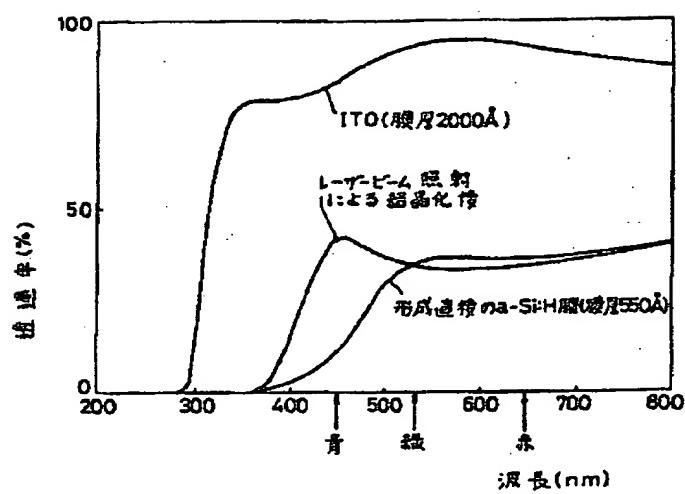


—実施例  
第1図D



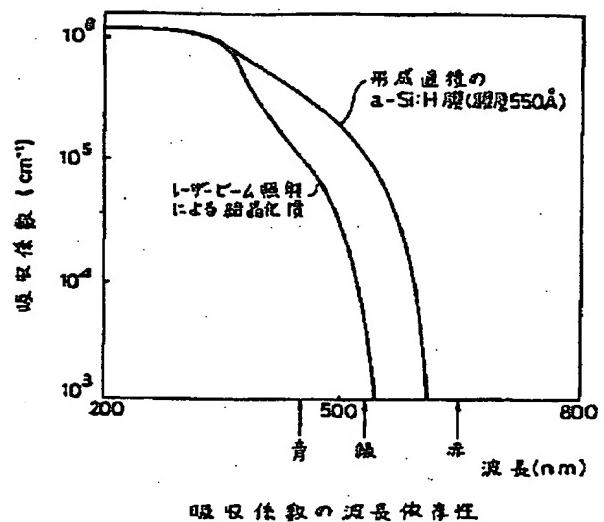
液晶ディスプレイの完成状態

第2図



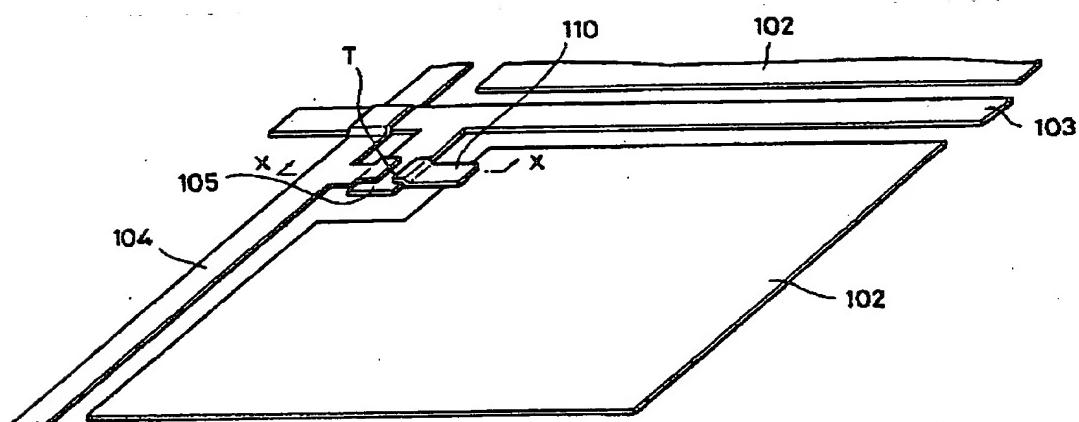
透過スペクトル

第3図

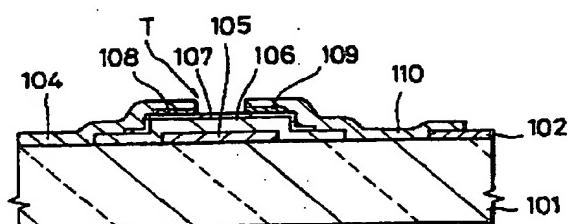


吸収係数の波長依存性

第4図



第5図A



第5図AのX-X断面図

第5図B